

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-178527

(43)公開日 平成10年(1998)6月30日

(51)Int.Cl. <sup>6</sup>		識別記号	F I	
H 0 4 N	1/21		H 0 4 N	1/21
G 0 6 T	1/60		G 0 9 G	5/00
	1/00			5/36
G 0 9 G	5/00	5 5 0	H 0 4 N	5/243
	5/36	5 3 0	G 0 6 F	15/64
				4 5 0 G

審査請求 未請求 請求項の数 6 O L (全 5 頁) 最終頁に続く

(21)出願番号 特願平8-340230

(22)出願日 平成8年(1996)12月19日

(71)出願人 391051588

富士フイルムマイクロデバイス株式会社  
宮城県黒川郡大和町松坂平1丁目6番地

(71)出願人 000005201

富士写真フイルム株式会社  
神奈川県南足柄市中沼210番地

(72)発明者 山田 友樹

宮城県黒川郡大和町松坂平1丁目6番地  
富士フイルムマイクロデバイス株式会社内

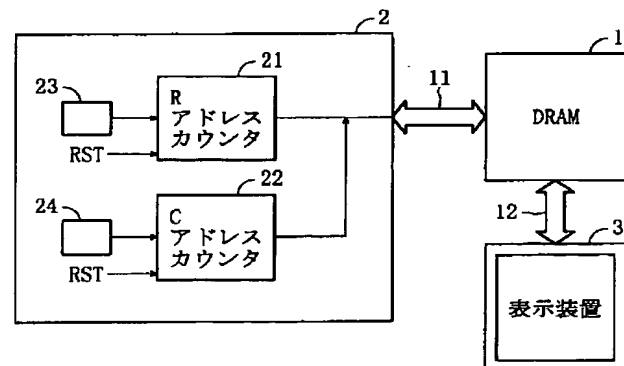
(74)代理人 弁理士 高橋 敬四郎 (外2名)

(54)【発明の名称】 画像データ処理装置

(57)【要約】

【課題】 本発明は、デジタル画像データを格納するメモリ装置へのアクセスを制御する画像データ処理装置を提供することを課題とする。

【解決手段】 本発明の画像データ処理装置は、所定画素数のデジタル画像データを格納するメモリ装置(1)と、前記メモリ装置の画像データ格納領域にアクセスするためのアドレス指定手段(2)とを有するものであって、前記アドレス指定手段は、前記画像メモリ装置のデータ格納領域のアクセスすべきアドレスを指定するアドレス指定信号をクロック信号に応じて順次生成するアドレス生成部と、該アドレス指定信号の一部にアクセス開始の先頭アドレスを任意に指定する情報を付加する手段とを有する。



## 【特許請求の範囲】

【請求項1】 所定画素数のデジタル画像データを格納するメモリ装置と、前記メモリ装置の画像データ格納領域にアクセスするためのアドレス指定手段とを有する画像データ処理装置において、前記アドレス指定手段は、前記画像メモリ装置のデータ格納領域のアクセスすべきアドレスを指定するアドレス指定信号をクロック信号に応じて順次生成するアドレス生成部と、該アドレス指定信号の一部にアクセス開始の先頭アドレスを任意に指定する情報を付加する手段とを有することを特徴とする画像データ処理装置。

【請求項2】 前記メモリ装置はランダムアクセス可能なメモリ装置であり、前記アドレス指定信号は、画像平面に配置される画素の行方向の番地を指定するRAS信号と列方向の番地を指定するCAS信号とを含み、前記アクセス開始の先頭アドレスを指定する情報は前記RAS信号とCAS信号の少なくとも一方の一部に付加されることを特徴とする請求項1記載の画像データ処理装置。

【請求項3】 前記アドレス生成部は、アドレス指定信号を生成するためのクロックカウンタ部を有し、前記アクセス開始の先頭アドレスを指定する情報で指定される前記先頭アドレスからカウント開始することを特徴とする請求項2記載の画像データ処理装置。

【請求項4】 前記アクセス開始の先頭アドレスを指定する情報は、所定ビット数からなり、前記アクセス開始の先頭アドレスは前記画像平面を複数領域に分割した場合に、各分割画像の先頭画素の番地を指定するものであることを特徴とする請求項3記載の画像データ処理装置。

【請求項5】 前記アドレス指定手段は、前記DRAMから画像データを読み出して外部の表示装置に出力する場合に前記DRAMからの読み出しアドレスを指定することを特徴とする請求項4記載の画像データ処理装置。

【請求項6】 前記アドレス指定手段は、前記DRAMに外部から供給されるデジタル画像データを書き込む場合に前記DRAMへの書き込みアドレスを指定することを特徴とする請求項4記載の画像データ処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、メモリ装置へのデジタル画像信号の書き込みや、メモリ装置からのデジタル画像信号の読み出し処理を制御することによって特殊な画像表現が可能な画像データ処理装置に係わる。

## 【0002】

【従来の技術】近年、コンピュータおよびその周辺装置の進展と普及に伴い、映像機器もデジタル信号で処理されることが多くなってきており、デジタル画像信号に適合する画像信号処理装置の開発が盛んである。

【0003】テレビカメラやビデオ装置あるいは電子カ

メラやコンピュータグラフィックス装置、さらにまた記憶装置（磁気テープ、磁気ディスク、光ディスク、半導体メモリ）等の電子映像機器などではデジタル画像信号の形式により信号処理が行われることが多い。

【0004】例えば、電子スチルカメラでは、内蔵するメモリ装置は、複数の静止画像を格納することができ、その中の1枚の画像を読み出してモニタで表示することや、複数の分割画像を一度に画面で表示することも行われる。複数の分割画像を一度に画面に表示すれば、使用者がその中の好きな画像を選択してそれだけをさらに画面で表示したり、他の装置に転送することもできる。

## 【0005】

【発明が解決しようとする課題】本発明の目的は、デジタル画像データを格納するメモリ装置へのアクセスを制御して、分割画像の配置を任意に変更できる画像データ処理装置を提供することにある。

## 【0006】

【課題を解決するための手段】本発明の画像データ処理装置は、所定画素数のデジタル画像データを格納するメモリ装置と、前記メモリ装置の画像データ格納領域にアクセスするためのアドレス指定手段とを有するものであって、前記アドレス指定手段は、前記画像メモリ装置のデータ格納領域のアクセスすべきアドレスを指定するアドレス指定信号をクロック信号に応じて順次生成するアドレス生成部と、該アドレス指定信号の一部にアクセス開始の先頭アドレスを任意に指定する情報を付加する手段とを有することを特徴とする。

## 【0007】

【発明の実施の形態】図1は、本発明による画像データ処理装置を利用して行うことのできる画像表示方法の形態を示す。今、DRAM（Dynamic Random Access Memory）のような画像メモリの領域が図1（a）のように四つの互いに均等な領域に分割されており、それらの領域にA、B、C、Dの4つの異なる画像のデータが格納されているとする。このメモリの左上角から画面右方向に画素データを水平走査して読み出し、領域AとBにまたがる1水平走査ライン分読み出したら、次にそのすぐ下の画素を最初にして1ライン分を走査してデータを読み出す。このようにして順次最下ラインまでの画素データを走査して読み出す。それらを順次表示装置で表示すれば、表示された四つの分割画像A、B、C、Dはメモリに格納されたデータのアドレス配置関係とまったく同じ（図1の（a））になる。これは通常の読み出し走査である。

【0008】ところが、図1（b）の画素のデータから読み出しを開始して画面右方向に画素データを水平走査して読み出し、1水平走査ライン分読み出したら、次に図1（b）に示すようにそのすぐ下の画素データを開始点として1ライン分を走査してデータを読み出すようにし、順次最下ラインまでの画素データを走査して読

## 3

み出す。それらを順次表示装置で表示すれば、表示画面は図1(c)のようになり、元のメモリでのデータの配置関係とは異なる画像が表示される。この場合は、元の画像配置に対して分割画像が画面中央を境に左右逆配置にしたような関係となる。

【0009】さらに、図2(a)のの画素のデータから読み出しを開始して、図2(b)で示すように画面右方向に画素データを水平走査して読み出し、1水平走査ライン分読み出したら、次にのすぐ下の画素データを開始点として1ライン分を走査してデータを読み出すようにし、順次最下ラインまでの画素データを走査して読み出す。最下ラインの走査を終えたら、最上ラインの走査に移る。それらを順次表示装置で表示すれば、表示画面は図2(c)のようになる。この場合は、元の画像配置に対して分割画像が上半分と下半分で入れ替わったようになる。

【0010】さらに、図3(a)のの画素のデータから読み出しを開始して、図3(b)で示すように画面右方向に画素データを水平走査して読み出し、1水平走査ライン分読み出したら、次にのすぐ下の画素データを開始点として1ライン分を走査してデータを読み出すようにし、順次最下ラインまでの画素データを走査して読み出す。最下ラインの次に最上ラインを読み出し、一画面分を読み出す。それらを順次表示装置で表示すれば、表示画面は図3(c)のようになる。

【0011】このような分割画面の移動は、メモリからのデータの読み出し開始アドレスを変更することによって行うことができる。また、元の画像データをメモリに書き込む際に書き込み開始アドレスを変更することによってメモリでの分割画像の配置を変更することができ、そのメモリから通常の順序でデータを読み出して画像表示すれば、元の画像データでの分割画像の配置とは異なる配置が表示される。

【0012】本願発明の画像データ処理装置の実施例では、書き込み開始アドレス（あるいは読み出し開始アドレス）を任意に指定できるプリセットレジスタを設けた。

【0013】図4は、本発明の実施例による画像データ処理装置の構成を示すブロック図である。同図において、1はDRAMであり、2はアドレス指定回路であり、3は表示装置である。DRAM1とアドレス指定回路2とはアドレスバス11で結ばれており、DRAM1と表示装置3とはデータバス12で結ばれている。

【0014】アドレス指定回路2は、RAS(Row Address Strobe)アドレスカウンタ21と、CAS(Column Address Strobe)アドレスカウンタ22と、Rプリセットレジスタ23とCプリセットレジスタ24とを有する。なお、アドレス指定回路2は図示しないクロック信号発生装置からのクロック信号に同期して動作するものとする。

## 4

【0015】今、DRAM1には、図5に示すような、256行×256列の画素配列からなる分割画像が四つ配置した全体で512行×512列の画素データ配列からなる画像データが格納されているものとする。このDRAM1へのアクセスのためのアドレス指定信号は図6に示すように、RAS信号とCAS信号とからなる。RAS信号もCAS信号もいずれも9ビットからなる。最上位の1ビットを変更することにより、走査先頭位置を決める。例えば、RASとCAS信号の最上位ビットが「0、0」である場合には、アクセス開始アドレスが図5のの画素であり、最上位ビットが「0、1」である場合には、開始アドレスがの画素であり、「1、0」である場合には、の画素であり、「1、1」である場合には、開始アドレスがの画素である。RASとCASの最上位ビットはRプリセットレジスタとCプリセットレジスタに外部より任意にセットされる。DRAM1は9ビットのRAS信号を受け付けると、次に9ビットのCAS信号を受け付けてデータの読み出しあるいは書き込みをするアドレスを選択する。

【0016】DRAM1から読み出しを開始する際、Rアドレスカウンタ21とCアドレスカウンタ22にリセット信号RSTを供給する。リセット信号RSTにより、Cアドレスカウンタ22のカウント値は、最上位1ビットがCプリセットレジスタ24の値にセットされ、下位8ビットが0にセットされる。Rアドレスカウンタ21のカウント値は、最上位1ビットがRプリセットレジスタ23の値にセットされ、下位8ビットが0にセットされる。

【0017】Cアドレスカウンタ22は、クロックのタイミングに同期して、カウントを行う。C(カラム)アドレスは、1ライン中の画素位置(図の横方向)を表す。Cアドレスカウンタ22のカウント値が最大値になると0に戻り、カウント値は巡回する。Rアドレスカウンタ21は、Cアドレスカウンタ22のカウント値が最大値になると、R(ロウ)アドレスを1インクリメントする。Rアドレスが最大値になると0に戻り、巡回する。以下同様に動作して512本ライン分を順次アクセスして読み出す。開始アドレスがの画素であれば、図1(c)の画面表示が得られ、開始アドレスがの画素であれば図2(c)の画面表示が得られ、開始アドレスがの画素であれば図3(c)の画面表示が得られる。

【0018】以上の実施例は、DRAM1からデータを読み出す場合のアクセス制御であったが、画像ソース(例えば表示装置3)からの画像データをDRAM1に書き込む場合に以上のようなアクセス制御をすれば、DRAM1には図2(c)のようなデータ配置が得られる。これを通常のの画素から読み出せば、元の画像配置が変化することになる。

【0019】なお、メモリに配置する分割画像の数は上記の実施例の4分割に限らない。例えば、図7(a)に

示すように、RASとCAS信号の最上位2ビットをアクセス開始位置を指定する情報とすれば、図7(b)に示すように16分割画面のデータの中の16ポイントの画素1～16のいずれの任意の点から走査開始することができ、同様な効果が得られる。その場合には、RプリセットレジスタとCプリセットレジスタとは2ビット構成となる。

【0020】このような分割画面の位置の変更は、画像編集等の他、ビデオゲーム等に利用することもできる。例えば、ある条件を満たすと走査開始アドレスが乱数で変化するようにしたり、複数のプレーヤが行うゲームにおいて、ある条件を得たプレーヤが走査開始アドレスを変更できるようにしてもよい。この場合、画像メモリはDRAMでなく、他のランダムアクセスできるメモリでもよく、ROMでもよい。

【0021】本発明は説明した実施例のものに限るものではなく、以上の開示に基づいて当業者であれば様々な改良や変更が可能であることは言うまでもない。

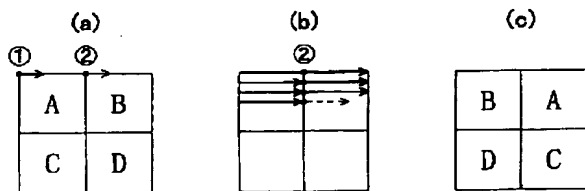
#### 【0022】

【発明の効果】本発明の画像データ処理装置によれば、複数の分割画像の配置関係を任意に変更して表示したり、メモリに書き込むことができ、画像データの利用形態に変化を与えることができて便利である。

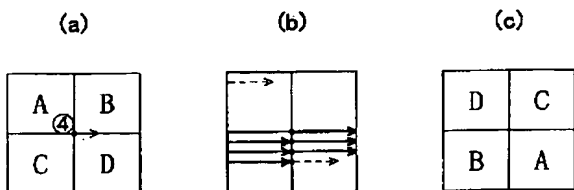
#### 【図面の簡単な説明】

【図1】本発明の実施例による画像データ処理装置を使用して可能な分割画像の配置を変える表示形態の例を示

【図1】



【図3】



す図である。

【図2】本発明の実施例による画像データ処理装置を使用して可能な分割画像の配置を変える他の表示形態の例を示す図である。

【図3】本発明の実施例による画像データ処理装置を使用して可能な分割画像の配置を変える表示形態の例を示す図である。

【図4】本発明の実施例による画像データ処理装置のブロック図である。

【図5】DRAMにおける画像データの配置構成の例を示す図である。

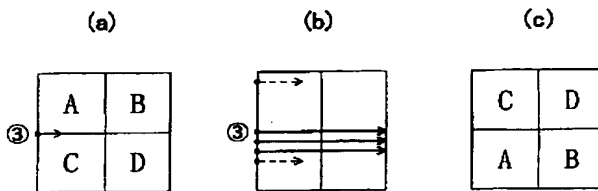
【図6】本発明の実施例におけるRAS信号とCAS信号の構成を示す図である。

【図7】本発明の他の実施例におけるRAS信号とCAS信号の構成と分割画像データの配置例を示す図である。

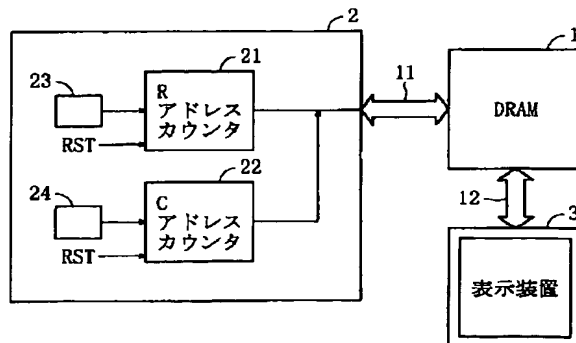
#### 【符号の説明】

- 1 DRAM
- 2 アドレス指定回路
- 3 表示装置
- 11 アドレスバス
- 12 データバス
- 21 Rアドレスカウンタ
- 22 Cアドレスカウンタ
- 23 Rプリセットレジスタ
- 24 Cプリセットレジスタ

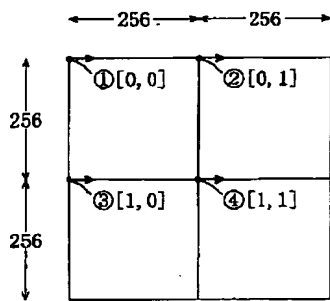
【図2】



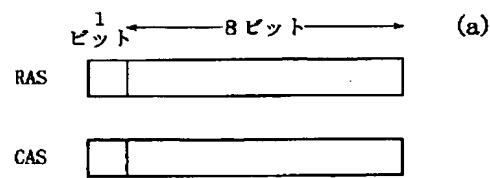
【図4】



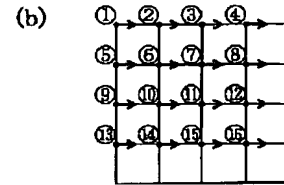
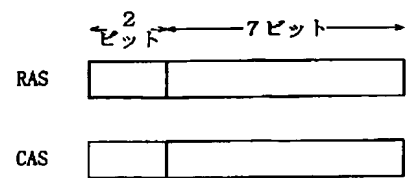
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

H 0 4 N 5/243

識別記号

F I

G 0 6 F 15/66

B